

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-150263

(43)Date of publication of application : 18.06.1993

(51)Int.Cl.

G02F 1/136

G09F 9/30

(21)Application number : 03-315815

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.11.1991

(72)Inventor : ASAI YOSHIHIRO

(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT

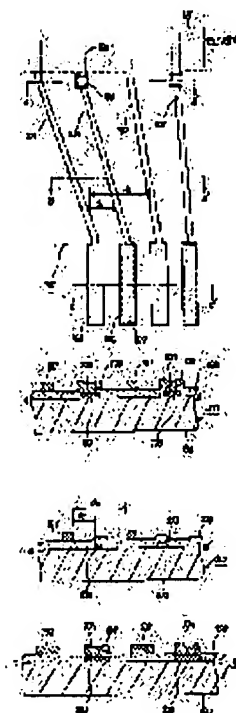
(57)Abstract:

PURPOSE: To provide the active matrix type liquid crystal display element which enables picture elements to be increased in density and number by narrowing down intervals of connection pads and electric conductors and is improved in manufacture yield.

CONSTITUTION: Connection electric conductors 103 of signal lines in even columns are arranged in a 1st wiring layer and connection electric conductors 101 of signal lines in odd columns are arranged in a 2nd wiring layer.

The 1st wiring layer and 2nd wiring layer are insulated by an insulation layer 108. Thus, the electric conductors are distributed and arranged in the two wiring layers, so the number of electric conductors arranged in each wiring layer is a half as large as the number of electric

conductors which are arranged in only one layer as before and the electric conductor intervals d3 are doubled. Thus, the occurrence rate of a short-circuit defect and an open-circuit defect in the manufacture process of the connection electric conductors is decreased to greatly improve the manufacture yield.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-150263

(43)公開日 平成5年(1993)6月18日

(51)Int. CL ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/138	5 0 0	9018-2K		
G 0 9 F 9/30	3 3 8	7926-5G		

審査請求 未請求 請求項の数 1 (全 7 頁)

(21)出願番号 特願平3-315815

(22)出願日 平成3年(1991)11月29日

(71)出願人 00003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 浅井 義裕

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

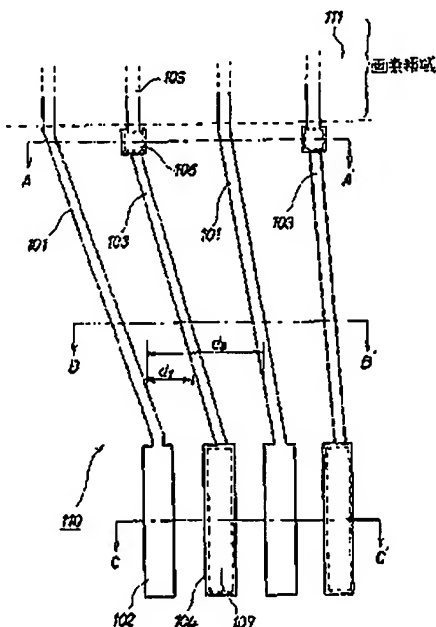
(74)代理人 弁理士 須山 佐一 (外1名)

(54)【発明の名称】 アクティブマトリックス型液晶表示素子

(57)【要約】

【目的】 接続パッドおよび配線の間隔を狭小化して画素の高密度化や高画素数化を實現し、かつ製造歩留まりを向上したアクティブマトリックス型液晶表示素子を提供する。

【構成】 偶数列の信号線の接続配線103が第1の配線層に、また奇数列の信号線の接続配線101が第2の配線層に配設されている。そして第1の配線層と第2の配線層とは絶縁層108で絶縁されている。このように、2つの配線層に配線が分配されて配設されているので、一つの配線層あたりに配設された配線の本数は、従来のように1層だけに配設された配線と比べて半分の本数となり、その配線間隔d3は2倍の広さとなる。こうして接続配線の製造工程における短絡不良や断線不良の発生率が激減し、製造歩留まりが大幅に向上する。



(2)

特開平5-150263

1

【特許請求の範囲】

【請求項1】 駆動回路接続用の接続パッドと、マトリックス状に交差して配置され前記駆動回路接続用の接続パッドに接続配線を介して接続する複数本の走査線および複数本の信号線と、前記走査線および前記信号線に接続するスイッチング素子と、前記スイッチング素子に接続する画素電極とが配置されたアクティブ素子基板と、前記画素電極に対向する対向電極が配設された対向基板と、前記アクティブ素子基板と前記対向基板との間に挟持される液晶組成物とを有するアクティブマトリックス型液晶表示素子において、

前記走査線に接続される前記接続配線と前記信号線に接続される前記接続配線のうち少なくとも一方を、一本ごとあるいは複数本ごとに絶縁層を介して異なる層に配置してなることを特徴とするアクティブマトリックス型液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリックス型液晶表示素子に関するもので、高精細な画素およびその配線を有する場合において特に有効である。

【0002】

【従来の技術】近年、液晶表示素子の分野において、高精細なテレビ表示や大画面なグラフィックディスプレイ等を実現すべく、アクティブマトリックス型液晶表示素子の開発が盛んに行なわれ、一部では既に実用化されたものもある。

【0003】このアクティブマトリックス型液晶表示素子には、各画素の駆動の制御を行なうための手段として半導体からなるスイッチング素子を用いている。この半導体スイッチング素子は、通常、各画素につき1個ずつ配設されており、外部駆動回路との接続のための走査線および信号線が1本ずつ配線される。

【0004】このようなスイッチング素子や走査線や信号線などは、通常、透過型表示が可能で大面積化も容易であるなどの理由から、スイッチング素子にはTFT（薄膜トランジスタ）を、また走査線や信号線などの配線にはITOなどの透明導電膜を用いて、ガラスなどの透明絶縁基板上に成膜やエッチングなどフォトリソレーションによってパターン形成されて配設される。

【0005】上記のようなアクティブマトリックス型液晶表示素子の構造を図4に示す。

【0006】このアクティブマトリックス型液晶表示素子は、透明絶縁基板401上にTFT402と透明導電膜からなる画素電極403と走査線や信号線などの接続配線404が配設されたアクティブ素子基板405と、このアクティブ素子基板405に対向して設けられる透明導電膜からなる対向電極406が全面に配設された対向基板407と、液晶組成物408とを有し、アクティブ素子基板405と対向基板407とを平行に対向させ

2

て配置しこれらの基板間に液晶組成物408を挟持させ、この基板の周囲を封着剤409で封着して形成されている。

【0007】そして図5に示すように、前述の走査線や信号線などの接続配線404は、画素領域外の周辺部分に設けられ、その先端部に配設された接続パッド410にて外部の液晶ドライバLSIのような駆動回路に接続される。またアクティブ素子基板405の同図D-D'における断面を図6に示す。

【0008】画素領域501から引き出された接続配線404とこれに連なる接続パッド410は、絶縁基板603のゲート絶縁膜602上に1層に列設される。

【0009】しかしながら、このような液晶表示素子においては、接続される駆動回路としての液晶ドライバLSIにこの接続パッドを接続しなくてはならないため、液晶ドライバLSIの1個あたりの出力ピン数である120本から240本程度のパッドを1グループにまとめ、またこれらのパッド間の間隔およびこれに接続される接続配線404の間隔d1を、液晶ドライバLSIの出力ピン間隔に台わせて画素領域内の信号線502の間隔d2よりも狭く密に配設しなければならない。

【0010】そして近年、テレビやグラフィックディスプレイ等の高精細な表示を実現するために液晶表示素子の画素の高密度化や高画素数化が要請されており、これに対応するために駆動回路としての液晶ドライバLSIの出力ピン数はますます増加し、またそのピン間隔は、例えばTAB（テープオートメーテッドボンディング）実装方式の液晶ドライバLSIでは390μm程度、COB（チップオンボード）方式の液晶ドライバLSIでは105μm程度というように、ますます狭小化する傾向にある。そしてそのような液晶ドライバLSIの出力ピンに接続される接続パッド410およびこれに接続される接続配線404の間隔d1もますます狭小化されなければならない。特に接続配線404は、接続パッド410よりもかなり長かつ幅が細い。

【0011】しかしながら、このように接続パッド410の間隔およびこれに接続される配線404の間隔d1の狭小化にともなって、アクティブ素子基板405を製造するフォトリソレーションの工程において、隣接配線間での塵埃などに起因した短絡不良503や断線不良504が特に接続配線404に多発するという問題が顕著になってきた。そしてこれはアクティブ素子基板405の製造歩留まりの低下の大きな原因になっている。

【0012】

【発明が解決しようとする課題】本発明はこのような問題を解決するために成されたもので、その目的は、接続パッドの間隔の狭小化にともなって発生する信号線や走査線の接続配線における隣接配線間での短絡不良や断線不良の問題を解消して、製造歩留まりの低下なくして接続パッドの間隔を狭小化し画素の高密度化や高画素数化

(3)

特開平5-150263

3

4

を実現するアクティブマトリックス型液晶表示素子を提供することにある。

【0013】

【課題を解決するための手段】本発明のアクティブマトリックス型液晶表示素子は、駆動回路接続用の接続パッドと、マトリックス状に交差して配置され前記駆動回路接続用の接続パッドに接続配線を介して接続する複数本の走査線および複数本の信号線と、前記走査線および前記信号線に接続するスイッチング素子と、前記スイッチング素子に接続する画素電極とが配置されたアクティブ素子基板と、前記画素電極に対向する対向電極が配設された対向基板と、前記アクティブ素子基板と前記対向基板との間に挟持される液晶組成物とを有するアクティブマトリックス型液晶表示素子において、前記走査線に接続される前記接続配線と前記信号線に接続される前記接続配線のうち少なくとも一方を、一本ごとあるいは複数本ごとに絶縁層を介して異なる層に配置してなることを特徴としている。

【0014】

【作用】複数本の走査線の接続配線および複数本の信号線の接続配線が、それぞれ隣接する2本の接続配線のうち一方は第1の配線層に、また他方は第2の配線層に配設されている。たとえば偶数番目の走査線の接続配線が第1の配線層に配設され、その上に絶縁層を介して第2の配線層として奇数番目の走査線の接続配線が配設されている。そして第1の配線層と第2の配線層とは前述の絶縁層で絶縁されている。このように、2層の配線層に配線が分配されて配設されているので、一つの配線層あたりに配設された接続配線の配線間隔は、従来のように一層だけに配設された接続配線の配線間隔と比べて2倍となる。

【0015】このように従来よりも2倍の接続配線の配線間隔を有することによって、本発明のアクティブマトリックス型液晶表示素子はそのアクティブ素子基板の接続配線の製造工程における短絡不良や断線不良の発生率を激減させて、製造歩留まりを大幅に向上させることができる。

【0016】

【実施例】以下、本発明のアクティブマトリックス型液晶表示素子の一実施例を図面に基いて詳細に説明する。ここでは特に本発明の要点であるアクティブ素子基板に的を絞って説明する。

【0017】図1は本発明のアクティブマトリックス型液晶表示素子の信号線の接続配線およびこれに接続された接続パッドを示す平面図である。

【0018】また同図のA-A'、B-B'、C-C'における断面をそれぞれ図2(a)、図2(b)、図2(c)に示す。

【0019】図1に示すように、本発明のアクティブマトリックス型液晶表示素子は、そのアクティブ素子基板

110上の周辺部、即ち画素領域の外周に、奇数列の信号線の接続配線101とこれに接続する奇数列の接続パッド102と、偶数列の信号線の接続配線103とこれに接続する偶数列の接続パッド104と、この偶数列の信号線の接続配線103に画素領域111から外に伸びる偶数列の信号線105を接続するスルーホール106と、偶数列の接続パッド104を接続するスルーホール107とを有している。

【0020】そして図2(b)の断面図に示すように、この偶数列の信号線の接続配線103が絶縁基板100の表面上に第1の配線層として、また第1の配線層の上層に絶縁層108を介して奇数列の信号線の接続配線101が第2の配線層として配設されている。

【0021】偶数列の信号線の接続配線103は、このように絶縁基板100上に第1の配線層として配設されているが、これに接続されるべき画素領域から外に伸びる偶数列の信号線105および偶数列の接続パッド104は第2の配線層に配設されている。そこでこれらを図2(a)に示すようなスルーホール106および図2(c)に示すようなスルーホール107を設けることで絶縁層108を貫通して信号線の接続配線103に接続している。

【0022】一方、走査線の接続配線もこの信号線と同様に2層に配線されている。

【0023】このように、本発明のアクティブマトリックス型液晶表示素子の走査線や信号線の接続配線は2層に形成されていることで、各配線層における隣接する配線の間隔が図1および図2(b)に示すd3のようになり、従来技術の配線のような全配線が平面的に列設されるときの間隔d1と比べて約2倍の幅となる。

【0024】このような構成により、本発明のアクティブマトリックス型液晶表示素子はその接続配線の製造工程における短絡不良の発生率が1/2程度に減少し、その製造歩留まりは大幅に向上する。

【0025】次に、本発明のアクティブマトリックス型液晶表示素子の製造方法を、工程を追って説明する。

【0026】図3は本発明のアクティブマトリックス型液晶表示素子のアクティブ素子基板の製造工程を示す図である。

【0027】まず、図3の(1)に示すように、ガラスのような絶縁材料からなる絶縁基板100上に第1の配線層として偶数列の信号線の接続配線103を配設する。この偶数列の信号線の接続配線103の隣接配線どうしの間隔は前述したように従来の配線の間隔の2倍になっているので、製造工程におけるその短絡不良の発生する確率は1/2程度となる。またこのとき画素領域内においてはTFTのゲート電極201および走査線202が配設される。

【0028】次に図3の(2)に示すように、前述の偶数列の信号線の接続配線103の上に絶縁層108を形

(4)

特開平5-150263

5

6

成する。

【0029】そしてこの絶縁層108の上に、画素領域内においては図3の(3)、(4)に示すようにa-Si(アモルファスシリコン)層などからなるTFTスイッチング素子203、画素電極204を形成する。そして画素領域の外部、即ちアクティブ素子基板110の周辺部においては、図2の(5)に示すように、前述の偶数列の信号線の接続配線103の画素領域からの信号線105との接続部分および偶数列の接続パッド104との接続部分の上の絶縁層にスルーホール106、107を穿設する。このとき走査線側(図示省略)では、走査線の接続配線に配設された接続パッド上の絶縁層に開口が穿設され、走査線側の接続パッドがアクティブ素子基板110の絶縁層の表面に露出して、外部の液晶駆動回路の接続ピンと接続可能な状態になる。このような接続パッド上の絶縁層に開口を穿設する工程は、既に従来技術にも存在しているので、この開口の穿設と同じ工程内でスルーホール106、107を穿設することができる。即ちこのようなスルーホール106、107を穿設する工程を別に付加する必要はない。

【0030】次に、図2の(6)に示すように、絶縁層108の上に第2の配線層として画素領域内では信号線205を、また画素領域外では奇数列の信号線の接続配線101と、画素領域から伸びる偶数列の信号線105と、偶数列の接続パッド104とを配設する。そしてこの画素領域から外に伸びた偶数列の信号線105はスルーホール106によって、また偶数列の接続パッド104はスルーホール107によって、偶数列の信号線の接続配線103に接続するように配設する。

【0031】この第2の配線層に配設された奇数列の信号線の接続配線101の隣接する接続配線どうしの間隔は前述したように従来の接続配線の間隔の2倍なので、その短絡不良の発生の確率は1/2程度となる。また断線不良の発生の確率も大幅に減少する。

【0032】このように、本発明のアクティブマトリックス型液晶表示素子は、絶縁基板100上に第1の配線層として偶数列の信号線の接続配線103を配設し、その上に絶縁層108を介して第2の配線層として奇数列の信号線の接続配線101を配設し、従来では絶縁基板上に1層に配設していた接続配線を上下2層に分配して配設することで、各層ごとの隣接する接続配線の間隔を従来の2倍にとることができる。

【0033】一方、走査線側についても同様に、接続配線を上下2層に分配して配設して、その各層ごとの隣接する接続配線の間隔を従来の2倍にとることができる。

【0034】これにより、その接続配線の製造工程における短絡不良や断線不良の発生率を大幅に減少させ製造歩留まりを飛躍的に向上させることができる。

【0035】しかも、信号線および走査線の、このような2層に形成された接続配線は、上述の説明からも判るように、画素領域内における信号線と走査線とを絶縁層を介して上下2層に配設するような従来技術に係る製造方法を画素領域外にも応用して、その接続配線やスルーホールのパターン形態を変更するだけでよく、従来のフォトリソレーション技術による成膜やエッチングなどによる製造工程をそのまま用いることができる。

【0036】従って信号線および走査線の接続配線をこのように2層に形成するための特別な工程を従来の工程に付加することなく製造歩留まりが大幅に向上するので、製造コストは飛躍的に低減化される。

【0037】

【発明の効果】以上詳細に説明したように、本発明のアクティブマトリックス型液晶表示素子は、信号線および走査線の接続配線における隣接配線間での短絡不良や断線不良の問題を解消して、接続パッドの間隔の狭小化を実現しかつ製造歩留まりの向上を実現することにより、液晶表示素子の画素の高密度化や高画素数化を実現しながら製造コストの飛躍的な低減化をも実現したアクティブマトリックス型液晶表示素子である。

【図面の簡単な説明】

【図1】本発明のアクティブマトリックス型液晶表示素子の信号線の接続配線およびこれに接続された接続パッドを示す平面図。

【図2】本発明のアクティブマトリックス型液晶表示素子のアクティブ素子基板の断面図。

【図3】本発明のアクティブマトリックス型液晶表示素子のアクティブ素子基板の製造工程を示す図。

【図4】従来のアクティブマトリックス型液晶表示素子の構造を示す断面図。

【図5】従来のアクティブマトリックス型液晶表示素子の信号線の接続配線およびこれに接続された接続パッドを示す平面図。

【図6】本発明のアクティブマトリックス型液晶表示素子のアクティブ素子基板の断面図。

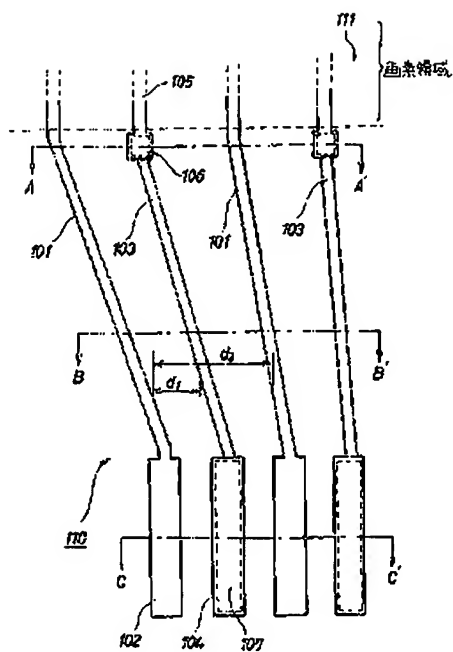
【符号の説明】

100……………絶縁基板
101……………奇数列の信号線の接続配線
102……………奇数列の接続パッド
103……………偶数列の信号線の接続配線
104……………偶数列の接続パッド
105……………画素領域から外に伸びる偶数列の信号線
106、107…スルーホール
108……………絶縁層
110……………アクティブ素子基板

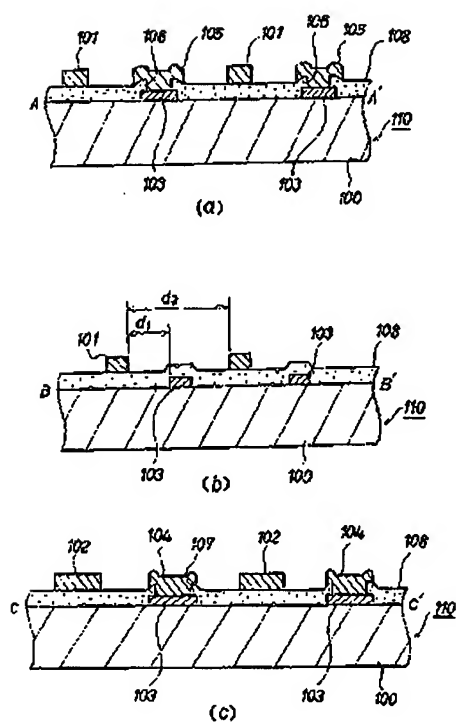
(5)

特開平5-150263

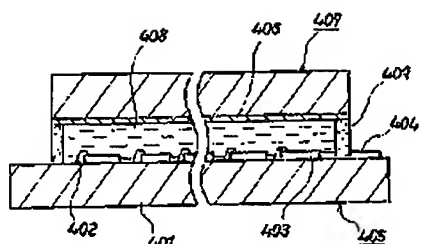
【図1】



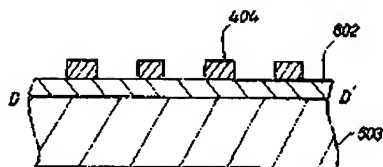
【図2】



【図4】



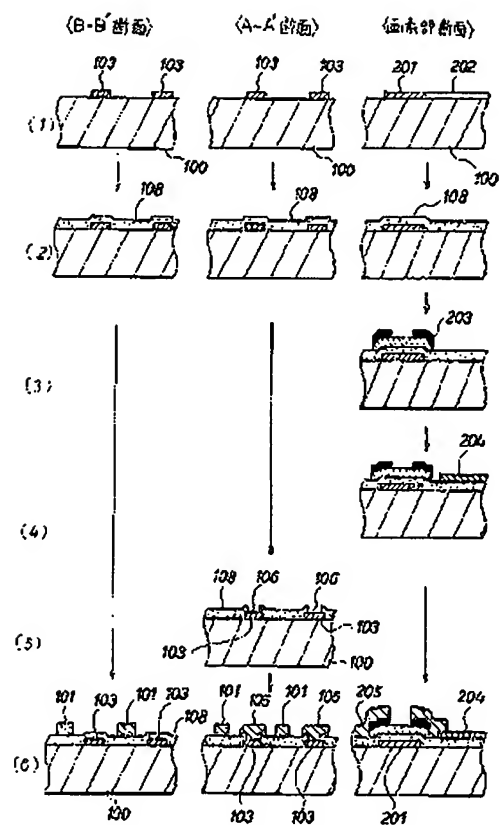
【図6】



(5)

特開平5-150263

【図3】



(7)

特開平5-150263

【圖5】

